

501,522

特許協力条約に基づいて公開された国際出願

Rec'd PCT/PTO 16 JUL 2004

(19) 世界知的所有権機関
国際事務局



10/501522

(43) 国際公開日
2004 年 5 月 6 日 (06.05.2004)

PCT

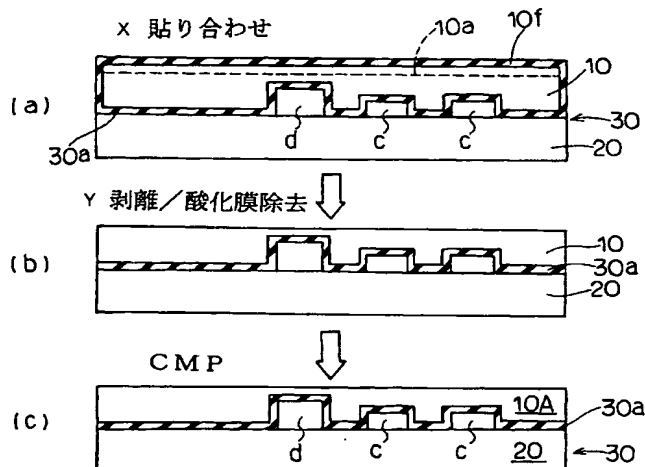
(10) 国際公開番号
WO 2004/038790 A1

- (51) 国際特許分類⁷: H01L 21/76, 27/04, 27/12
- (21) 国際出願番号: PCT/JP2003/013514
- (22) 国際出願日: 2003 年 10 月 22 日 (22.10.2003)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2002-307478
2002 年 10 月 22 日 (22.10.2002) JP
- (71) 出願人 (米国を除く全ての指定国について): 三菱住友シリコン株式会社 (SUMITOMO MITSUBISHI SILICON CORPORATION) [JP/JP]; 〒105-8634 東京都港区芝浦一丁目 2 番 1 号 Tokyo (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 足立 尚志 (ADACHI, Naoshi) [JP/JP]; 〒105-8634 東京都港区芝浦一丁目 2 番 1 号 三菱住友シリコン株式会社内 Tokyo (JP). 中前 正彦 (NAKAMAE, Masahiko) [JP/JP]; 〒105-8634 東京都港区芝浦一丁目 2 番 1 号 三菱住友シリコン株式会社内 Tokyo (JP).
- (74) 代理人: 安倍 逸郎 (ABE, Itsurou); 〒802-0002 福岡県北九州市小倉北区京町三丁目 1 4 番 8 号 ジブラルタ生命小倉京町ビル 80A 室 Fukuoka (JP).
- (81) 指定国 (国内): CN, KR, US.
- (84) 指定国 (広域): ヨーロッパ特許 (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR).

[続葉有]

(54) Title: PASTED SOI SUBSTRATE, PROCESS FOR PRODUCING THE SAME AND SEMICONDUCTOR DEVICE

(54) 発明の名称: 貼り合わせ SOI 基板およびその製造方法ならびに半導体装置



X...PASTING
Y...STRIPPING/REMOVING OF OXIDE FILM

(57) Abstract: A plurality of recesses of different depths are formed in the surface of a wafer for active layer or in the pasted surface of a wafer for supporting substrate, and then they are pasted through an insulating film, thus filling a cavity having high dimensional accuracy. A plurality of cavities can be formed simultaneously at a plurality of positions in the plane of a substrate, and the thickness of an SOI layer can be set arbitrarily. A hybrid semiconductor device mounting an MOS type element and a bipolar element on the same chip can thereby be fabricated easily.

(57) 要約: 活性層用ウェーハの表面または支持基板用ウェーハの貼り合わせ面に深さの異なる複数の凹部を形成する。これらを絶縁膜を介して貼り合わせる。これにより、寸法精度が高い空洞を埋め込むことができる。基板平面内の複数位置に同時的に複数の空洞を形成でき、SOI 層

[続葉有]

WO 2004/038790 A1



添付公開書類:

- 国際調査報告書
- 補正書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

明 細 書

貼り合わせ S O I 基板およびその製造方法ならびに半導体装置

5 技術分野

この発明は貼り合わせ S O I 基板およびその製造方法ならびにこの基板を用いた半導体装置、詳しくは活性層用ウェーハと支持基板用ウェーハとを絶縁層を介して貼り合わせた後、活性層用ウェーハを減厚し S O I 層とする技術に関する。

10

背景技術

シリコン基板上に構成される L S I の高集積化、多機能化の要請がきびしくなるにつれ、各素子間の分離が重要な課題となっている。従前の L S I は、厚さ 5 0 0 ~ 8 0 0 μ m のシリコンウェーハにあって、その
15 表層（表面から十数 μ m の部分）に電子回路素子が集積されている。

このような素子間の分離の問題を解決するため、S O I (S i l i c o n O n I n s u l a t o r) 基板が知られている。S O I 基板では、デバイスが形成される S O I 層と、これを支持する支持基板用ウェーハとの間に、厚さ数 μ m の埋め込みシリコン酸化膜が介在されている。

20 この S O I 基板にあっては、3次元構造による多機能化を含むデバイスの高集積化が容易となり、ソフトエラーの低減および高信頼性化が図れて、消費電力も抑えることができる。

従来、S O I 基板の一種として、例えば日本国特開 2 0 0 1 - 1 4 4 2 7 6 号公報に記載された「半導体基板」が知られている。この半導体
25 基板は、1枚のシリコン基板の表面に複数のトレンチ（溝）を2次元的に配列した後、これを熱処理することで、基板の表層にてシリコン原子

のマイグレーションを発生させ、各トレンチの開口部の内壁を連結してデバイス形成領域（ＳＯＩ層）とするとともに、各トレンチの奥部を連通させて平板状の空洞（絶縁層）を形成している。

5 しかしながら、従来の半導体基板およびその製造方法によれば、その製造時に、半導体基板の表面に形成するトレンチ寸法の管理や、シリコン原子のマイグレーションにより平板状の空洞を形成するための熱処理条件等の管理が難しかった。その結果、設計した通りにＳＯＩ構造を作製することは困難であった。

10 そこで、発明者は、鋭意研究の結果、貼り合わせＳＯＩ基板に着目した。すなわち、貼り合わせＳＯＩ基板の製造時において、活性層用ウェーハの表面およびまたは支持基板用ウェーハの表面に凹部を形成し、両表面を貼り合わせ面として活性層用ウェーハと支持基板用ウェーハとを貼り合わせれば、内部に略設計された通りの空洞を有する貼り合わせＳＯＩ基板を製造することができることを知見し、この発明を完成させた。

15 この発明は、寸法精度が高い空洞を絶縁層として埋め込むことができる貼り合わせＳＯＩ基板およびその製造方法を提供することを、その目的としている。

20 また、この発明は、同一チップ上にＭＯＳ素子とバイポーラ素子とを混在させることが容易な貼り合わせＳＯＩ基板およびその製造方法を提供することを、その目的としている。

発明の開示

25 第１の発明は、デバイスが形成されるＳＯＩ層と、このＳＯＩ層を支持する支持基板用ウェーハとが、これらの間に絶縁層を介在して貼り合わされた貼り合わせＳＯＩ基板において、上記絶縁層は空洞を含んでいる貼り合わせＳＯＩ基板である。

S O I 層用ウェーハ、支持基板用ウェーハとしては各種のウェーハ、例えば単結晶シリコンウェーハ、ガリウム・ヒ素ウェーハなどを採用することができる。

5 S O I 層に形成されるデバイスの種類は限定されない。例えば、M O S 型素子、バイポーラ素子、また、各種ダイオード、各種トランジスタ等、さらにメモリ、プロセッサ、さらにまた、各種ディジタル回路、各種アナログ回路などである。

S O I 層の厚さは限定されない。例えば厚膜の S O I 層では $20 \sim 50 \mu\text{m}$ である。また、薄膜の S O I 層では $0.01 \sim 20 \mu\text{m}$ である。

10 空洞は、S O I 層の平面内の略全域に形成してもよい。または、この平面内に部分的に形成してもよい。その空洞の形状は、例えば平面視して円形、楕円形、三角形または四角形以上の多角形でもよい。

空洞の高さ（基板厚さ方向の長さ）は $0.01 \sim 50 \mu\text{m}$ 、好ましくは $0.01 \sim 5 \mu\text{m}$ である。

15 第 1 の発明に係る貼り合わせ S O I 基板によれば、絶縁層として空洞を有する S O I 基板を容易に得ることができる。よって、空洞の形状、配置などでの自由度が増すこととなる。さらに、所望のデバイス、回路などの設計が容易となる。例えば M O S 型素子とバイポーラ素子とを混載した半導体装置を容易に作製することができる。

20 第 2 の発明は、第 1 の発明において、上記空洞は、上記貼り合わせ S O I 基板の平面内で複数の位置に形成されている貼り合わせ S O I 基板である。

空洞は、所望のデバイス、回路などに対応して形成することができる。

25 第 3 の発明は、第 1 の発明または第 2 の発明において、上記絶縁層は、異なる高さの複数の空洞を有している貼り合わせ S O I 基板である。

この絶縁膜は S O I 層の貼り合わせ面に形成してもよいし、支持基板

用ウェーハの貼り合わせ面に形成してもよい。さらには、S O I 層と支持基板用ウェーハとの両方の貼り合わせ面に形成してもよい。絶縁膜が形成されるのは、S O I 層およびまたは支持基板用ウェーハの貼り合わせ面だけに限定されない。例えば、S O I 層およびまたは支持基板用ウェーハの全面に形成してもよい。

第4の発明は、第1の発明において、上記S O I 層は平面内において厚さが異なる貼り合わせS O I 基板である。

厚さの異なる領域には、それぞれ適した素子を形成することができる。

第5の発明は、活性層用ウェーハの表面およびまたは支持基板用ウェーハの表面に凹部を形成する凹部形成工程と、この凹部を形成した表面を貼り合わせ面として活性層用ウェーハと支持基板用ウェーハとを貼り合わせるにより空洞を形成する貼り合わせ工程と、この貼り合わせウェーハのうち、上記活性層用ウェーハを減厚してS O I 層を形成する減厚工程とを備えた貼り合わせS O I 基板の製造方法である。

凹部が形成されるのは、活性層用ウェーハの表面でもよい。また、支持基板用ウェーハの表面でもよい。さらには、活性層用ウェーハの表面と支持基板用ウェーハの表面との両方でもよい。

凹部形成には、各種の手法、例えばフォトリソグラフィなどを用いる。凹部の深さ、広さ、形状も任意に設定することができる。例えば、凹部が形成されるウェーハの表面上に、凹部と同形状のパターン孔を有するパターニングマスクを配置し、このパターン孔を介して、所定のエッチング法により、ウェーハ表面に凹部をエッチングすることができる。エッチング法は限定されない。例えばフッ酸と硝酸とを混合した混酸を使用した酸性エッチング、NaOHまたはKOHなどを使用したアルカリエッチングを採用することができる。それ以外にも、各種のドライエッチングを採用することができる。

また、この凹部は、エッチング以外の方法でも形成することが可能である。すなわち、例えば各種の薄膜形成法により、凹部以外のウェーハ表面の部分を隆起させ、相対的に凹部を形成する方法である。具体的には、フォトリソグラフィにより、凹部が形成されるウェーハの表面上に、

- 5 この凹部の形成領域を除く部分のパターン孔を有したマスクを形成する。その後、このパターン孔を介して、所定の薄膜形成法によりウェーハ表面に所定の薄膜を形成する。次に、マスクを除去することで、ウェーハ表面上に設定寸法の凹部を形成する方法である。

- 10 薄膜形成法としては、例えばスパッタリング法、真空蒸着法、CVD法、エピタキシャル成長法などがある。

- 15 活性層用ウェーハと支持基板用ウェーハとの貼り合わせは、例えば常温により両ウェーハを重ね合わせた後、貼り合わせ熱処理することで行われる。この貼り合わせ熱処理の加熱温度は800℃以上、例えば1100℃である。貼り合わせ熱処理の時間は、例えば2時間である。使用する熱酸化炉内の雰囲気ガスには酸素などが用いられる。

- 20 活性層用ウェーハの減厚方法としては、例えば熱酸化された表面側から活性層用ウェーハの中に水素イオンなどの軽元素を注入し、その後、活性層用ウェーハと支持基板用ウェーハとを貼り合わせて熱処理を施す。このとき、水素イオンを注入した部分から活性層用ウェーハの不要部分を剥離するスマートカット法を採用することができる。

その外にも、例えば表面研削、表面研磨による減厚法を採用することができる。また、その他の減厚法としてエッチストップ法なども採用することができる。

- 25 すなわち、貼り合わせウェーハの活性層用ウェーハ側を表面研削し、その後、この表面研削面を表面研磨してSOI層とする方法である。活性層用ウェーハの表面研削時には、例えば表面研削砥石が使用される。

表面研磨としては、例えば研磨装置による研磨が採用される。すなわち、研磨ヘッドに表面研削された貼り合わせウェーハを装着し、研磨液中に遊離砥粒を含む研磨剤（スラリー）を供給しながら、活性層用ウェーハの研削面を研磨定盤上に貼着された研磨布に押し付けて研磨する。表面

5 研磨だけで活性層用ウェーハを減厚してもよい。この場合には、活性層用ウェーハの研磨条件の調整が必要である。

研磨装置としては、枚葉式の研磨装置でも、バッチ式の研磨装置でもよい。さらに、ワックスタイプの片面研磨装置でも、ワックスレスタイプの研磨装置でもよい。

- 10 研磨布としては、例えばポリエステルフェルトにポリウレタンを含浸させた多孔性の不織布タイプ、発泡したウレタンのブロックをスライスした発泡性ウレタンタイプ、そのほかポリエステルフェルトにポリウレタンが含浸された基材の表面に発泡ポリウレタンを積層し、このポリウレタンの表層部分を除去して発泡層に開口部を形成したスエードタイプ
- 15 などを採用することができる。

- 第5の発明に係る貼り合わせSOI基板の製造方法にあつては、活性層用ウェーハの表面およびまたは支持基板用ウェーハの貼り合わせ面にまず凹部を形成し、その後、これらを貼り合わせる。これにより、寸法精度が高い空洞を絶縁層として埋め込み、形成することができる。また、
- 20 空洞を基板平面内の複数位置に同時的に形成することができ、しかもこれら空洞によるSOI層の厚さを任意に設定することが容易である。よって、例えば同一チップ上にMOS型素子とバイポーラ素子とを混載した半導体装置を容易に作製することができる。

- 第6の発明は、第5の発明において、上記凹部形成工程では、上記活
- 25 性層用ウェーハの表面およびまたは上記支持基板用ウェーハの平面内の複数の位置に凹部を形成する貼り合わせSOI基板の製造方法である。

所望の半導体装置に対応して設計することができる。

第 7 の発明は、第 5 または第 6 の発明において、上記凹部形成工程では、上記活性層用ウェーハの表面およびまたは支持基板用ウェーハの表面に、深さが異なる複数の凹部を形成する貼り合わせ S O I 基板の製造

5 方法である。

深さを異ならせるには、例えば複数回のフォトリソによるエッチングなどの手法を用いることができる。

第 8 の発明は、第 5 ～ 7 の発明のいずれかにおいて、上記貼り合わせ工程では、上記活性層用ウェーハの貼り合わせ面およびまたは支持基板用ウェーハのそれには、絶縁膜が形成された貼り合わせ S O I 基板の製造方法である。

10

絶縁膜の形成は、例えば熱酸化などで行う。

第 9 の発明は、第 5 の発明において、上記貼り合わせ工程は、真空雰囲気中または減圧条件下で行われる貼り合わせ S O I 基板の製造方法で

15 ある。

例えば、10 torr、室温下で行う。貼り合わせは公知の治具を使用する。

第 10 の発明は、第 5 の発明において、上記減厚工程は、貼り合わせ後の活性層用ウェーハを研削、研磨する工程を含む貼り合わせ S O I 基板の製造方法である。

20

第 11 の発明は、第 5 の発明において、上記活性層用ウェーハの所定深さ位置にイオン注入を行う工程を含み、上記減厚工程は、上記貼り合わせ後の熱処理を経て、このイオン注入領域内から活性層用ウェーハの表面側を剥離する工程を含む貼り合わせ S O I 基板の製造方法である。

第 12 の発明は、平面内において厚さが異なる S O I 層が形成された貼り合わせ S O I 基板で、その S O I 層で最も薄い部分に C M O S ロジ

25

ックによる機能ブロックが、その他の領域にメモリ機能ブロックおよびまたはアナログ機能ブロックが形成された半導体装置である。

第 1 2 の発明に係る半導体装置にあっては、S O I 層の厚さが最も薄い部分に C M O S ロジックの機能ブロックを、その他の領域にメモリ機能ブロックまたはアナログ機能ブロックを形成したため、それらの素子の機能を効率良く発揮することができる。例えば S O I 層の空洞形成領域に C M O S を、S O I 層の空洞非形成領域にメモリを形成することができる。または、深い空洞領域に C M O S 、浅い空洞領域にメモリを形成できる。

第 1 3 の発明は、第 1 2 の発明において、上記 S O I 層で最も薄い部分に、C M O S ロジックの基本単位ブロックが形成された半導体装置である。

この薄い部分に C M O S ロジックの基本単位ブロックを配設する場合、各素子の特性を最大限に有効に機能させた混載型の半導体装置を得ることができる。

第 1 4 の発明は、第 1 3 の発明において、上記 S O I 層で最も薄い部分に、単位トランジスタが形成された半導体装置である。

この部分に単位トランジスタを形成すると、各素子の特性を最大限に有効に機能させた混載型の半導体装置を得ることができる。

第 1 5 の発明は、第 1 4 の発明において、上記 S O I 層で最も薄い部分に、単位トランジスタのチャネルが形成された半導体装置である。

この部分に単位トランジスタのチャネルを形成する場合、各素子の特性を最大限に有効に機能させた混載型の半導体装置を得ることができる。

図面の簡単な説明

第 1 図は、この発明の第 1 の実施例に係る貼り合わせ S O I 基板の製

造方法の活性層用ウェーハの処理工程を示すフローシートである。

第 2 図は、この発明の第 1 の実施例に係る貼り合わせ S O I 基板の製造方法の貼り合わせウェーハの作製工程を示すフローシートである。

第 3 図は、この発明の第 1 の実施例に係る貼り合わせ S O I 基板に形成された半導体装置を示す断面図である。

第 4 図は、この発明の第 2 の実施例に係る貼り合わせ S O I 基板の製造方法における活性層用ウェーハの処理工程を示すフローシートである。

第 5 図は、この発明の第 2 の実施例に係る貼り合わせ S O I 基板の製造方法における支持基板用ウェーハの準備工程を示すフローシートである。

第 6 図は、この発明の第 2 の実施例に係る貼り合わせ S O I 基板の製造方法における貼り合わせウェーハの処理工程を示すフローシートである。

第 7 図は、この発明の第 3 の実施例に係る貼り合わせ S O I 基板の製造方法における活性層用ウェーハの処理工程を示すフローシートである。

第 8 図は、この発明の第 3 の実施例に係る貼り合わせ S O I 基板の製造方法における支持基板用ウェーハの準備工程を示すフローシートである。

第 9 図は、この発明の第 3 の実施例に係る貼り合わせ S O I 基板の製造方法における貼り合わせウェーハの処理工程を示すフローシートである。

発明を実施するための最良の形態

以下、この発明の実施例を図面を参照して説明する。

第 1 図～第 3 図を参照して、この発明の第 1 の実施例に係る貼り合わせ S O I 基板およびその製造方法を説明する。

この実施例に係る貼り合わせSOI基板の特徴は、活性層10Aと支持基板用ウェーハ20との貼り合わせ界面より活性層用ウェーハ10側に、高さが低い空洞cと、これより高い空洞dが、それぞれ所定個数ずつ存在している点である。この高さが異なる結果、この部分ではSOI層（活性層）10Aの厚さも異なっている。図3中、空洞dの上方には厚さt1のSOI層10Aが、空洞cの上方には厚さt2のSOI層10Aが、それぞれ形成されている。ただし、 $t1 < t2$ である。

そして、この薄いシリコン層部分にはCMOSトランジスタ100が、厚いシリコン層部分にはバイポーラトランジスタ110がそれぞれ形成されることとなる。

以下、この貼り合わせSOI基板の製造方法を説明する。

まず、公知方法で作製した活性層用シリコンウェーハ10の裏面に（鏡面の表面から所定深さ位置に）所定条件で水素イオンをイオン注入する。第1図（a）はこのイオン注入の状態を示す。10aは水素イオン注入領域を示す。

次いで、この活性層用シリコンウェーハ10の表面に、反応性イオンエッチング装置を用いて、開口面積 $1\text{ mm}^2 \times$ 深さ $0.5\text{ }\mu\text{ m}$ の凹部10d…と、開口面積 $1\text{ mm}^2 \times$ 深さ $1.0\text{ }\mu\text{ m}$ の凹部10e…とをイオンエッチングにより形成する。第1図（b）はエッチング後の状態を示している。深さを異ならせるためには、例えばエッチングでのマスクを複数種類用意し、複数段階に分けてエッチングを行う。

その後、酸素ガス雰囲気での 900° C の熱酸化処理により、活性層用ウェーハ10の凹部10d、10eを含む露出面の全域に、シリコン酸化膜10fを形成する。第1図（c）は酸化膜形成後の断面を示す。

続いて、活性層用シリコンウェーハ10の表面（凹部を有する面）と、あらかじめ準備された支持基板用ウェーハ20（活性層用ウェーハ10

と同一プロセスで作製したシリコンウェーハ)の鏡面とを貼り合わせ面
(重ね合わせ面)とし、例えば真空装置内で公知の治具を用いて両ウェー
ハ10, 20を貼り合わせる。このとき、活性層用ウェーハ10と支持
基板用ウェーハ20との間には、開口面積 1 mm^2 ×高さ $0.5\text{ }\mu\text{ m}$ の
5 所定個数の空洞cと、開口面積 1 mm^2 ×高さ $1.0\text{ }\mu\text{ m}$ の所定個数の空
洞dと、シリコン酸化膜10fの貼り合わせ面側である埋め込み酸化膜
30aとからなる絶縁層が埋設されることになる。第2図(a)はこの
貼り合わせ後の状態を示す。

その後、貼り合わせウェーハ30に対して 500° C 、1時間の低温熱
10 処理を施し、活性層用ウェーハ10内に水素バブル領域10aを形成す
る。上記工程で注入された水素イオンがバブルを形成する。

引き続き、この貼り合わせウェーハ30に対して所定の貼り合わせ
熱処理(1100° C 、2時間)を行う。

これらの結果、水素バブル領域10aから、活性層用ウェーハ10の
15 不要部分(表面側部分)が剥離される。第2図(b)は剥離後に酸化膜
を除去した状態を示す。また、この貼り合わせ熱処理により、その貼
り合わせ強度が高められる。

次に、活性層用ウェーハ10の剥離面を、CMP処理(研磨)または
水素ペーク処理することで、貼り合わせSOI基板が作製される。第2
20 図(c)は、この状態を示す。研磨により活性層ウェーハ表面が鏡面化
される。なお、30aは埋め込み酸化膜として機能する。

第3図には、こうして作製した貼り合わせSOI基板に素子を形成し
た状態を示す。このSOI基板にあっては高さの異なる空洞c, dが貼
り合わせ面に形成される結果、これらの空洞c, dの直上のSOI層1
25 0Aの厚さはそれぞれ異なる。高い空洞dには薄い(厚さ t_1)SOI
層10Aが、低い空洞cの直上には厚い(厚さ t_2)SOI層10Aが

それぞれ形成される。

そして、このSOI基板を用いて半導体装置を作製する場合、SOI層10Aのうち、高さが高い空洞dの上の対応領域には、上述のように、CMOSロジックを形成する。CMOSロジックの形成領域は、できるだけ寄生容量が小さくなる薄膜の方が好ましいからである。また、SOI層10Aのうち、低い空洞cとの対応領域（厚さの厚い領域）には、メモリまたは各種のアナログ回路（バイポーラ素子）を形成する。

その他、SOI層10Aの空洞dとの対応領域には、例えばCMOSロジックの基本回路、CMOSロジックを除く別の単位トランジスタ、単位トランジスタのチャネル、各種の完全空乏型SOIデバイスなどを形成してもよい。

このように、異なる高さの複数の空洞c，dを形成したので、同一チップ上に異なる構造の素子を混載することができる。

次に、第4図～第6図にはこの発明の第2の実施例を示す。

この実施例に係る貼り合わせSOI基板の製造方法の特徴は、第4図に示すように、水素イオン注入の前工程で、まず、活性層用シリコンウェーハ10の表面（鏡面）にシリコンゲルマニウム薄膜10bをエピタキシャル成長させ、次いで、シリコンゲルマニウム薄膜10bの表面にシリコン薄膜10cを、連続してエピタキシャル成長させることにある。

なお、活性層用シリコンウェーハ10は、CZ法（チョクラルスキー法）により引き上げられ、スライス、面取り、ラップ、エッチング、鏡面研磨が施されたシリコンウェーハを用いる。

引き続いて、このシリコンゲルマニウム（SiGe）薄膜10bと活性層用ウェーハ10との境界部分あるいはSiGe膜10b内に、もしくはSiGe膜直下のシリコン基板内に水素イオン濃度がピークとなるように水素イオンを注入する。10aは水素イオン注入領域を示してい

る。このようにして、貼り合わせ用の活性層用ウェーハ 10 が作製される。

一方、支持基板用シリコンウェーハ 20 については、第 5 図に示すように、フォトリソグラフィなどにより、その貼り合わせ面（鏡面）に所定の凹部 20 a, 20 b が形成される。これらの凹部 20 a, 20 b の深さは異ならせている。これは、例えばフォトマスクを用いたエッチングの条件を凹部 20 a, 20 b により異ならせることで行う。最初のエッチングでは凹部 20 a のみを所定深さだけ穿ち、次のエッチングでは凹部 20 a, 20 b を所定深さだけ穿つ。すなわち、凹部 20 a は 2 回のエッチングで凹部 20 b よりも深く、例えば 2 倍の深さにエッチングされる。

そして、凹部形成後、熱酸化によりこの支持基板用ウェーハ 20 の外面は酸化膜 20 c により被覆される。なお、支持基板用ウェーハ 20 は上記活性層用シリコンウェーハ 10 と同一の過程を経て形成されている。

そして、第 6 図に示すように、これらの活性層用ウェーハ 10 および支持基板用ウェーハ 20 を貼り合わせることににより、貼り合わせウェーハ 30 を作製する。

すなわち、所定の真空条件下（例えば真空チャンバ内で）、活性層用ウェーハ 10 のシリコン薄膜 10 c の表面と支持基板用ウェーハ 20 の表面（凹部形成面）とを重ね合わせることににより、これらを貼り合わせる。

そして、貼り合わせウェーハ 30 は、熱酸化炉に挿入されて所定の熱処理が施される。すなわち、酸素ガス雰囲気、500℃、1 時間の条件で、水素イオン注入領域 10 a に水素バブルを形成する。

続いて、1100℃、2 時間の貼り合わせ熱処理を行う。この結果、貼り合わせ強度が高められる。この熱処理により、貼り合わせウェーハ 30 においては水素バブル形成領域（シリコンゲルマニウム薄膜 10 b

と活性層用ウェーハ 10 との境界部分) から活性層用ウェーハ 10 が剥離される。

このようにして貼り合わせ面にシリコン酸化膜 (埋め込み酸化膜) 30 a が介在された貼り合わせウェーハ 30 が形成される。そして、この
5 場合、シリコン酸化膜 30 a の一部に (同一面内で互いに離間した位置に) 空洞 a, b を含むこととなる。

剥離後、シリコンゲルマニウム薄膜 10 b をエッチストップ法を用いたエッチングにより除去し、シリコン薄膜 10 c を露呈させる。ここでは、シリコンゲルマニウムに対するエッチングレートがシリコンに対する
10 るそれより大きいエッチャントが使用される。また、このエッチング面は化学的機械的研磨により鏡面化される。その結果、所定厚さのシリコン薄膜 10 c からなる SOI 層 10 A を有する貼り合わせ SOI 基板が作製される。

そして、この SOI 層 10 A の各空洞 20 a, 20 b の直上部分に所
15 定の素子が形成されることとなる。

このように、活性層用ウェーハ 10 の表面にシリコンゲルマニウム薄膜 10 b とシリコン薄膜 10 c とを、順次、エピタキシャル成長させ、最終的にシリコン薄膜 10 c を活性層 10 A とする貼り合わせ SOI 基板の製造方法を採用したので、剥離面はシリコンゲルマニウム膜 10 b
20 内もしくはシリコンゲルマニウム薄膜 10 b の直下の活性層用シリコンウェーハ 10 であり、その後エッチングにより不要層を除去しているので、最終的な SOI 層表面のラフネスは低減できる。

また、第 7 図～第 9 図には、この発明の第 3 の実施例を示している。

まず、CZ 法により引き上げられた単結晶シリコンインゴットを、ス
25 ライス、面取り、ラッピング、エッチング、研磨することで、厚さ 725 μm 、直径 200 mm、初期酸素濃度 $14.0 \times 10^{17} \text{ atoms /}$

c c の、表面が鏡面に仕上げられた活性層用ウェーハ 10 を用意する(第 7 図)。

次に、この活性層用ウェーハ 10 の内部に、中電流イオン注入装置を使用して、100 keV の加速電圧により、そのウェーハ表面側から注
5 入深さが約 $2 \mu\text{m}$ となるように水素イオンを $5.0 \times 10^{16} \text{ atoms/cm}^2$ で注入する。これにより、活性層用ウェーハ 10 の表層の所定深さ位置に水素イオン注入層 10 a が平面的に離間・延在して形成される。

一方では、この活性層用ウェーハ 10 と同じ製法により、同じ厚さ、口径の鏡面仕上げされた支持基板用ウェーハ 20 を用意する(第 8 図)。

10 次いで、この支持基板用ウェーハ 20 には、スピンコート法により、その表面の全体にレジスト膜を $1 \mu\text{m}$ だけ塗布する。

その後、フォトリソグラフィ技術により、このレジスト膜の所定の部分に、開口面積 1 mm^2 のパターン孔を所定数だけ形成する。

そして、これらのパターン孔を介して、支持基板用ウェーハ 20 の表
15 面の一部に、開口面積 $1 \text{ mm}^2 \times$ 深さ $0.5 \mu\text{m}$ の複数の凹部 20 a …と、開口面積 $1 \text{ mm}^2 \times$ 深さ $1.0 \mu\text{m}$ の複数の凹部 20 b …とをイオンエッチングにより形成する。

その後、この支持基板用ウェーハ 20 を熱酸化炉に挿入し、炉内に所定量の酸素ガスを流し込みながら 900°C で熱酸化処理する。これによ
20 り、凹部 20 a, 20 b の内壁全域を含む支持基板用ウェーハ 20 の露出面の全体に、厚さ $0.4 \mu\text{m}$ の絶縁性のシリコン酸化膜 20 c が形成される。

それから、活性層用ウェーハ 10 の水素イオン注入層 10 a 側の面と、支持基板用ウェーハ 20 の凹部 20 a, 20 b の形成側の面とをそれぞれ
25 貼り合わせ面として、室温下、真空装置内で、活性層用ウェーハ 10 と支持基板用ウェーハ 20 とを重ね合わせ、貼り合わせウェーハ 30 を

形成する（第 9 図）。このとき、真空装置内は 1 0 T o r r 以下である。真空装置内で貼り合わせることにより、支持基板用ウェーハ 1 0 の鏡面仕上げされた表面と、支持基板用ウェーハ 2 0 の凹部 2 0 a, 2 0 b 側の鏡面とを、貼り合わせ不良部分を発生させることなく、貼り合わせる
5 ことができる。

貼り合わせ後には、貼り合わせ界面の一部分（特定位置）に、開口面積 1 m m²×深さ 0 . 5 μ m の所定個数の空洞 a …と、開口面積 1 m m²×深さ 1 . 0 μ m の所定個数の空洞 b …とがそれぞれ形成される。このとき、活性層用ウェーハ 1 0 と支持基板用ウェーハ 2 0 との間に介在されたシリコン酸化膜 2 0 c の部分が埋め込みシリコン酸化膜 3 0 a となる。
10 この埋め込みシリコン酸化膜 3 0 a の厚さは、0 . 4 μ m である。

このように、この実施例では貼り合わせ法を採用して空洞 a, b を有する貼り合わせ S O I 基板を製造するように構成したので、従来のシリコン原子のマイグレーションを利用した場合に比べて、高い寸法精度の
15 空洞 a, b を形成することができる。

その後、この貼り合わせウェーハ 3 0 を貼り合わせ熱処理用の熱酸化炉に挿入し、酸素ガスの雰囲気下で、5 0 0 ℃、1 時間のバブル形成用の熱処理を行う。これにより、活性層用ウェーハ 1 0 に注入された水素イオンが反応し、多数の水素バブルが密集した領域が形成される。

引き続き、1 1 0 0 ℃、2 時間で貼り合わせ熱処理を行う。これにより、活性層用ウェーハ 1 0 と支持基板用ウェーハ 2 0 との貼り合わせ強度が増強される。この熱処理時、水素バブル形成領域から活性層用ウェーハ 1 0 の不要な部分が剥離して、活性層用ウェーハ 1 0 が減厚される。その結果、支持基板用ウェーハ 2 0 上に、空洞 a, b および埋め込み酸化膜 3 0 a から構成される絶縁層を介して、所定厚さの活性層 1 0 A が
25 形成される。その後、熱処理により活性層 1 0 A および支持基板用ウェー

一ハ 2 0 の露出面に形成されたシリコン酸化膜を、HF 洗浄して除去する。

それから、この活性層 1 0 A の剥離面を平滑化するため、CMP (Chemical Mechanical Polishing) 処理を行う。
5 う。これにより、活性層 1 0 A の剥離面が鏡面仕上げされる。また、この CMP に代えて、活性層 1 0 A の剥離面を水素ペーク処理してもよい。こうして、貼り合わせ SOI 基板が作製される。

以上説明したように、この発明に係る貼り合わせ SOI 基板および貼り合わせ SOI 基板の製造方法によれば、活性層用ウェーハの表面およびまたは支持基板用ウェーハの表面に凹部を形成し、その後、この凹部
10 を形成した表面を貼り合わせ面として活性層用ウェーハと支持基板用ウェーハとを貼り合わせるので、寸法精度が高い空洞からなる絶縁層を基板内に形成することができる。

また、厚さの異なる SOI 層を単一基板内に複数個形成するため、同一基板、同一チップ上に異なる素子構造を混載することができる。例
15 えば MOS 領域と、バイポーラデバイスの領域とを混載することができる。

さらに、この貼り合わせ SOI 基板には、異なる構造の素子を混載することができる。この場合、その素子の機能を効果的に発揮することができる。また、その素子の各部分について最適な機能を発揮可能と
20 することができる。さらに、例えば MOS 型素子およびバイポーラ型素子のそれぞれの機能を十分に発揮できるように構成することができる。

請 求 の 範 囲

1. デバイスが形成されるSOI層と、このSOI層を支持する支持基板用ウェーハとが、これらの間に絶縁層を介在して貼り合わされた貼り
5 合わせSOI基板において、

上記絶縁層は空洞を含んでいる貼り合わせSOI基板。

2. 上記空洞は、上記貼り合わせSOI基板の平面内で複数の位置に形成されている請求項1に記載の貼り合わせSOI基板。

3. 上記絶縁層は、異なる高さの複数の空洞を有している請求項1または
10 請求項2に記載の貼り合わせSOI基板。

4. 上記SOI層は平面内において厚さが異なる請求項1に記載の貼り合わせSOI基板。

5. 活性層用ウェーハの表面およびまたは支持基板用ウェーハの表面に凹部を形成する凹部形成工程と、

15 この凹部を形成した表面を貼り合わせ面として活性層用ウェーハと支持基板用ウェーハとを貼り合わせることにより空洞を形成する貼り合わせ工程と、

この貼り合わせウェーハのうち、上記活性層用ウェーハを減厚してSOI層を形成する減厚工程とを備えた貼り合わせSOI基板の製造方法。

20 6. 上記凹部形成工程では、上記活性層用ウェーハの表面およびまたは上記支持基板用ウェーハの平面内の複数の位置に凹部を形成する請求項5に記載の貼り合わせSOI基板の製造方法。

7. 上記凹部形成工程では、上記活性層用ウェーハの表面およびまたは支持基板用ウェーハの表面に、深さが異なる複数の凹部を形成する請求
25 項5または請求項6に記載の貼り合わせSOI基板の製造方法。

8. 上記貼り合わせ工程では、上記活性層用ウェーハの貼り合わせ面お

よびまたは支持基板用ウェーハのそれには、絶縁膜が形成された請求項 5～請求項 7 のいずれか 1 項に記載の貼り合わせ S O I 基板の製造方法。
9. 上記貼り合わせ工程は、真空雰囲気中または減圧条件下で行われる請求項 5 に記載の貼り合わせ S O I 基板の製造方法。

5 10. 上記減厚工程は、貼り合わせ後の活性層用ウェーハを研削、研磨する工程を含む請求項 5 に記載の貼り合わせ S O I 基板の製造方法。

11. 上記活性層用ウェーハの所定深さ位置にイオン注入を行う工程を含み、

10 上記減厚工程は、上記貼り合わせ後の熱処理を経て、このイオン注入領域内から活性層用ウェーハの表面側を剥離する工程を含む請求項 5 に記載の貼り合わせ S O I 基板の製造方法。

12. 平面内において厚さが異なる S O I 層が形成された貼り合わせ S O I 基板で、その S O I 層で最も薄い部分に C M O S ロジックによる機能ブロックが、その他の領域にメモリ機能ブロックおよびまたはアナログ機能ブロックが形成された半導体装置。
15

13. 上記 S O I 層で最も薄い部分に、C M O S ロジックの基本単位ブロックが形成された請求項 12 に記載の半導体装置。

14. 上記 S O I 層で最も薄い部分に、単位トランジスタが形成された請求項 13 に記載の半導体装置。

20 15. 上記 S O I 層で最も薄い部分に、単位トランジスタのチャネルが形成された請求項 14 に記載の半導体装置。

補正書の請求の範囲

[2004年3月22日(22.03.2004)国際事務局受理 : 出願当初の
請求の範囲3、4、7、8、9、10及び11は補正された; 出願当初の
請求の範囲1、2、5及び6は取り下げられた;
他の請求の範囲は変更なし。(2頁)]

1. (削除)

2. (削除)

5 3. (補正後) デバイスが形成されるSOI層と、このSOI層を支持する
支持基板用ウェーハとが、これらの間に絶縁層を介在して貼り合わさ
れた貼り合わせSOI基板において、

上記絶縁層は、異なる高さの複数の空洞を有している貼り合わせSOI
基板。

10 4. (補正後) デバイスが形成されるSOI層と、このSOI層を支持する
支持基板用ウェーハとが、これらの間に絶縁層を介在して貼り合わさ
れた貼り合わせSOI基板において、

上記SOI層は平面内において厚さが異なる請求項3に記載の貼り
合わせSOI基板。

15 5. (削除)

6. (削除)

7. (補正後) 活性層用ウェーハの表面およびまたは支持基板用ウェーハ
の表面に凹部を形成する凹部形成工程と、

20 この凹部を形成した表面を貼り合わせ面として活性層用ウェーハと支
持基板用ウェーハとを貼り合わせることにより空洞を形成する貼り合わ
せ工程と、

この貼り合わせウェーハのうち、上記活性層用ウェーハを減厚してSOI
層を形成する減厚工程とを備え

25 上記凹部形成工程では、上記活性層用ウェーハの表面およびまたは支
持基板用ウェーハの表面に、深さが異なる複数の凹部を形成する貼り合
わせSOI基板の製造方法。

8. (補正後) 上記貼り合わせ工程では、上記活性層用ウェーハの貼り合わせ面およびまたは支持基板用ウェーハのそれには、絶縁膜が形成された請求項7に記載の貼り合わせSOI基板の製造方法。

5 9. (補正後) 上記貼り合わせ工程は、真空雰囲気中または減圧条件下で行われる請求項7に記載の貼り合わせSOI基板の製造方法。

10 10. (補正後) 上記減厚工程は、貼り合わせ後の活性層用ウェーハを研削、研磨する工程を含む請求項7に記載の貼り合わせSOI基板の製造方法。

11. (補正後) 上記活性層用ウェーハの所定深さ位置にイオン注入を行う工程を含み、

上記減厚工程は、上記貼り合わせ後の熱処理を経て、このイオン注入領域内から活性層用ウェーハの表面側を剥離する工程を含む請求項7に記載の貼り合わせSOI基板の製造方法。

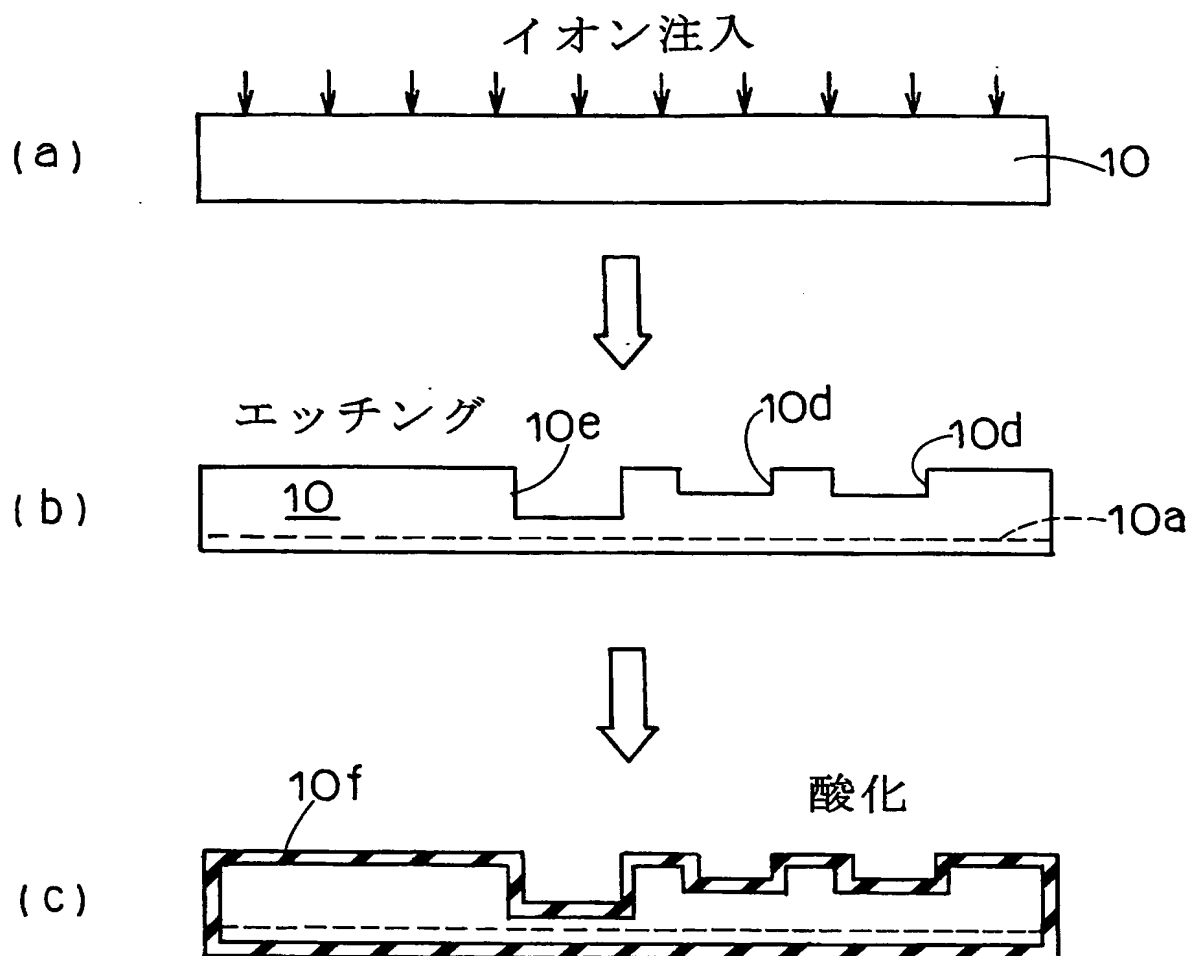
12. 平面内において厚さが異なるSOI層が形成された貼り合わせSOI基板で、そのSOI層で最も薄い部分にCMOSロジックによる機能ブロックが、その他の領域にメモリ機能ブロックおよびまたはアナログ機能ブロックが形成された半導体装置。

13. 上記SOI層で最も薄い部分に、CMOSロジックの基本単位ブロックが形成された請求項12に記載の半導体装置。

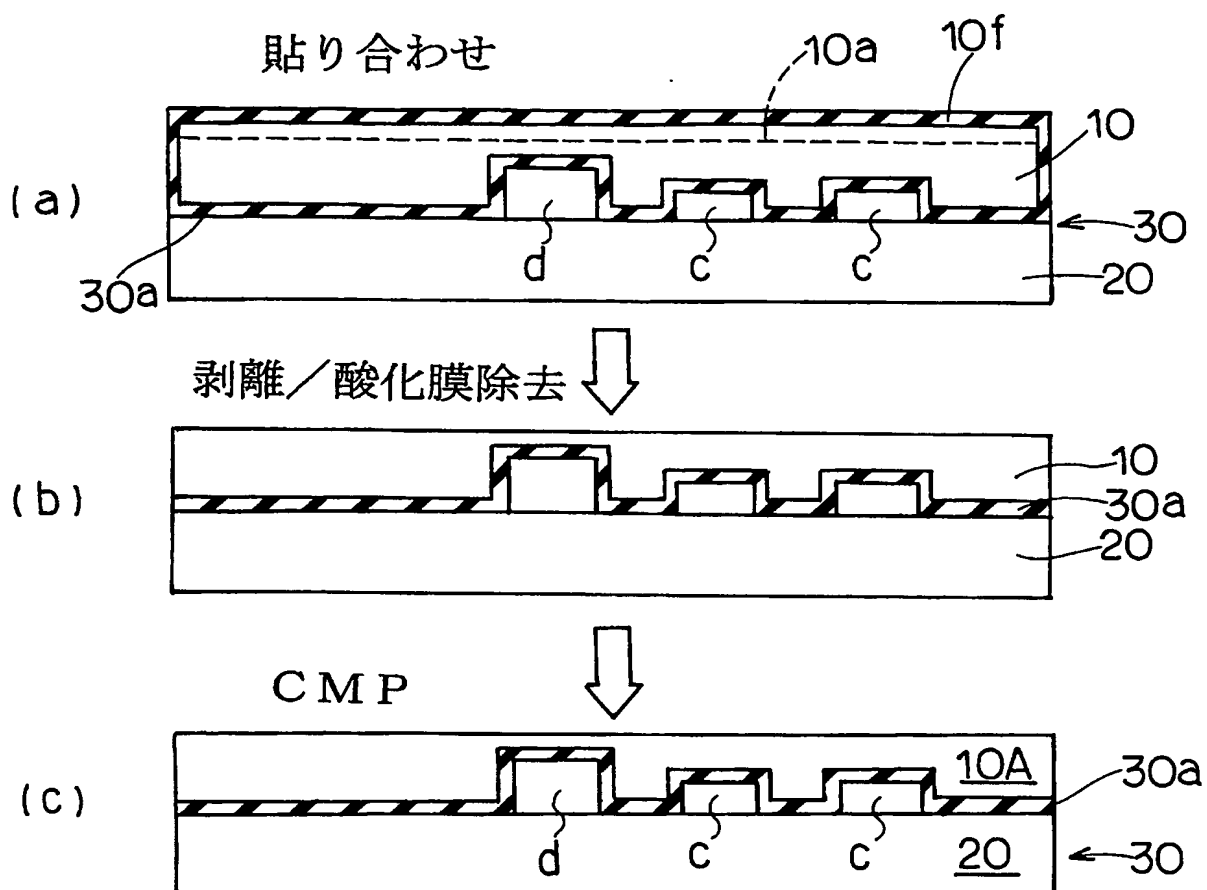
20 14. 上記SOI層で最も薄い部分に、単位トランジスタが形成された請求項13に記載の半導体装置。

15 15. 上記SOI層で最も薄い部分に、単位トランジスタのチャネルが形成された請求項14に記載の半導体装置。

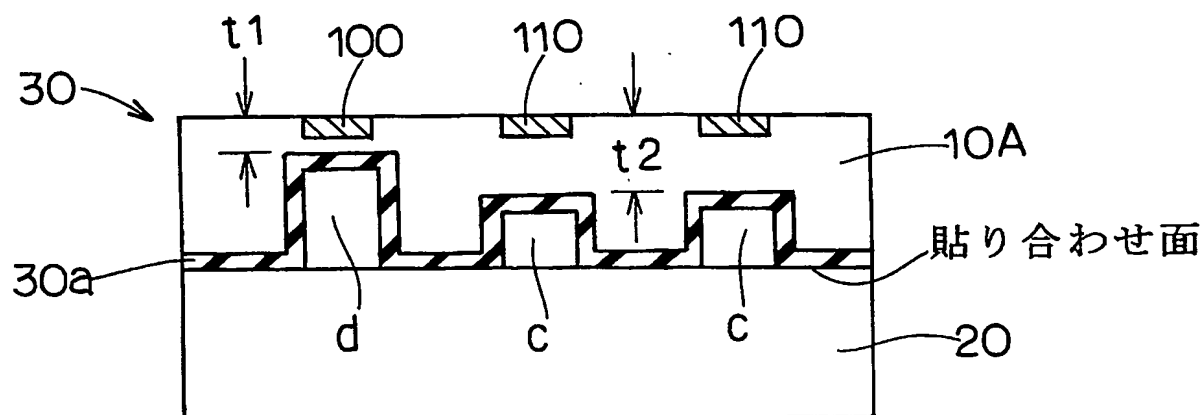
第1図



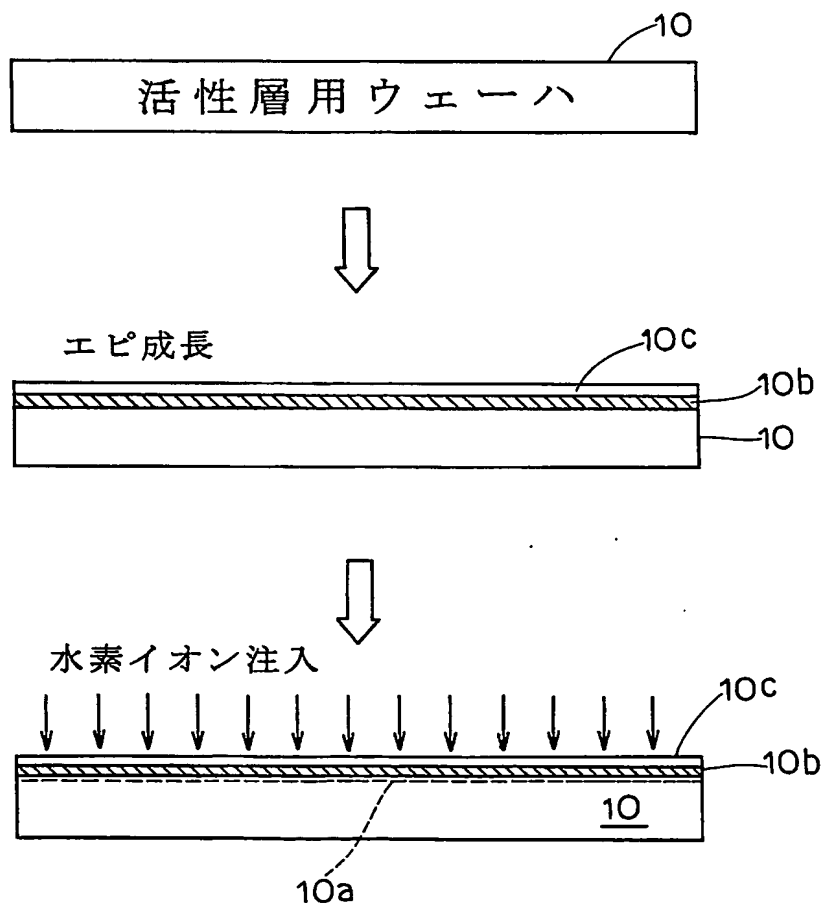
第2図



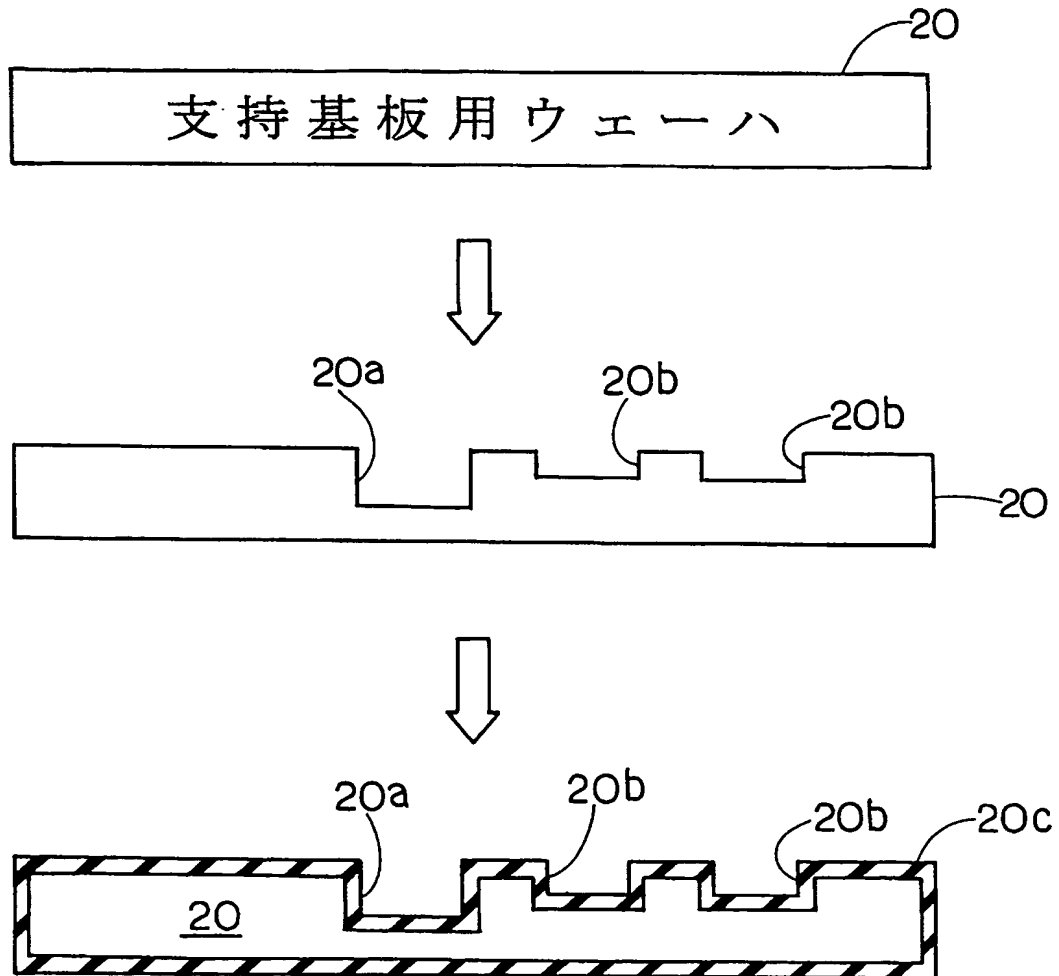
第3図



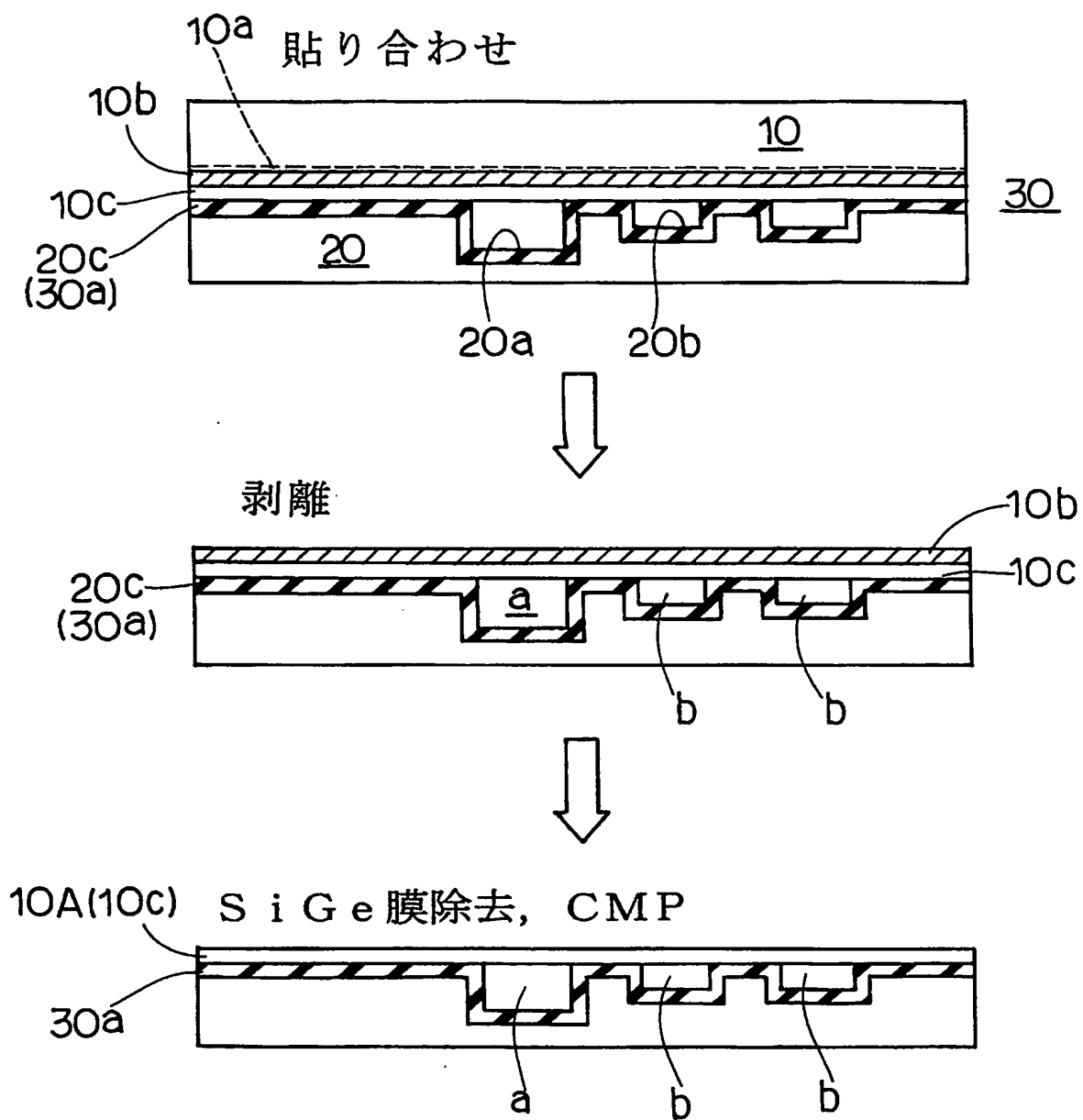
第4図



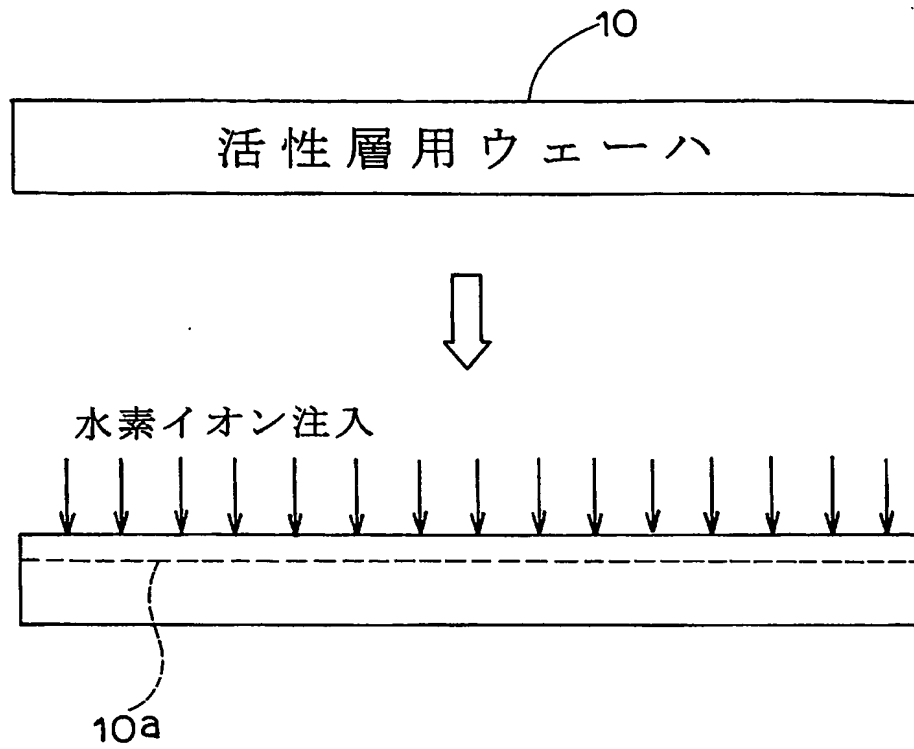
第5図



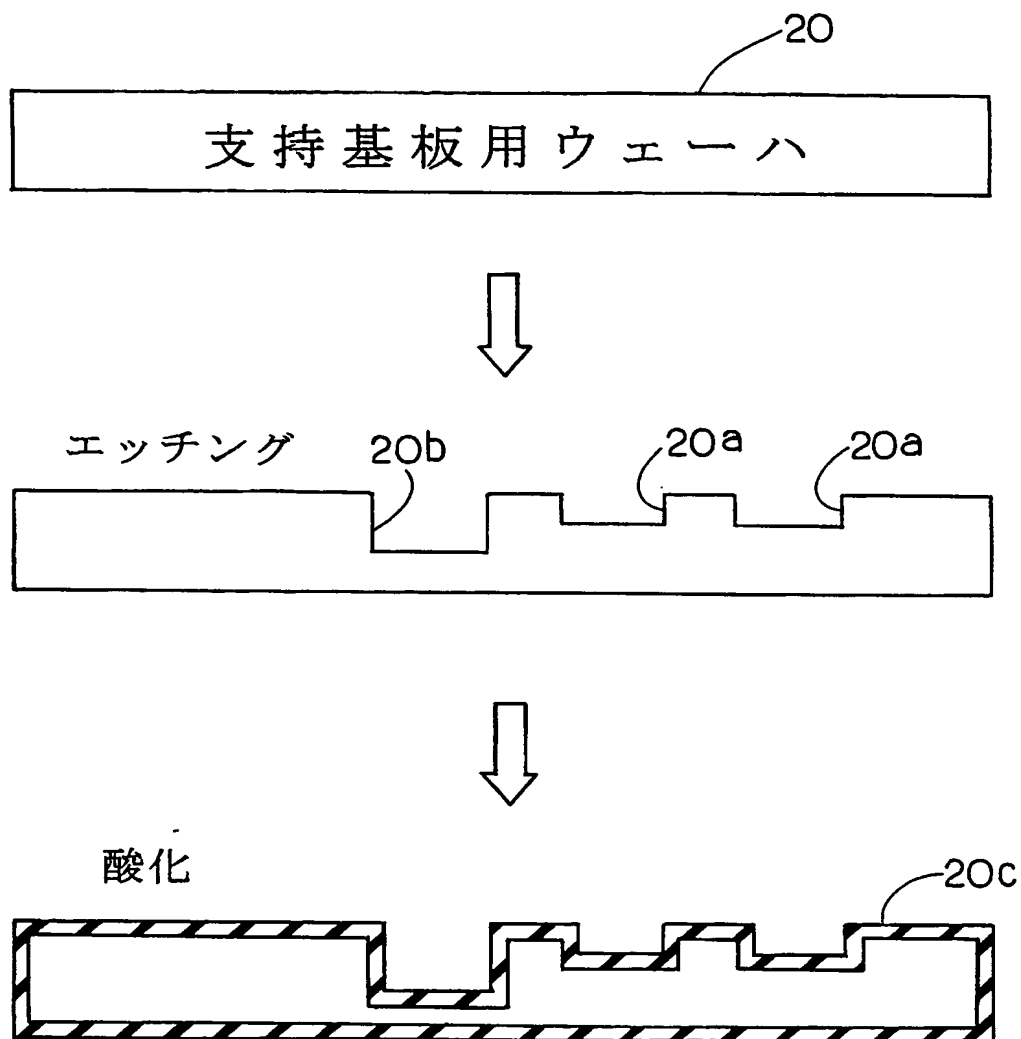
第6図



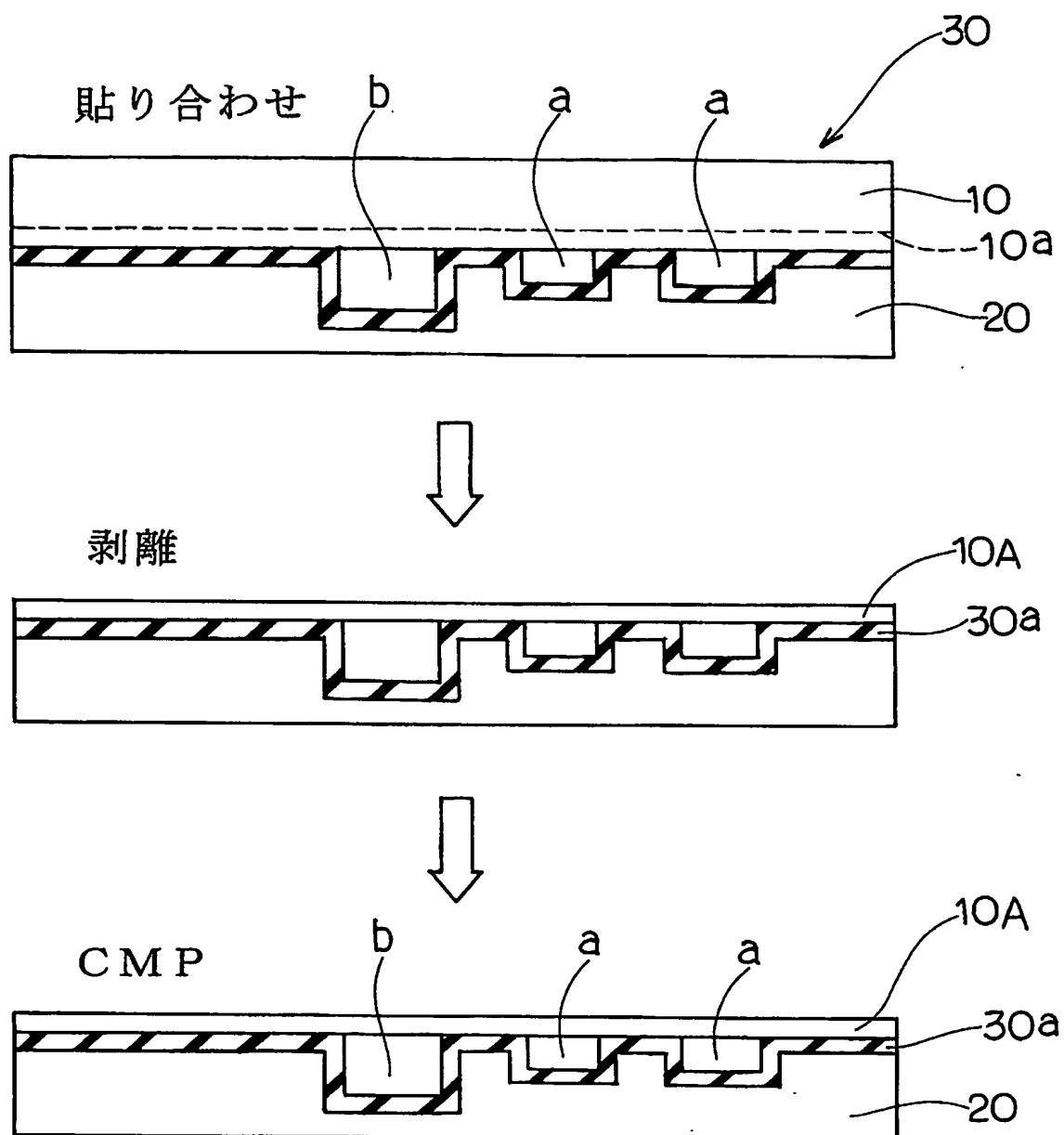
第7図



第8図



第9図



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/13514

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ H01L21/76, H01L27/04-27/12

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H01L21/76, H01L27/04-27/12

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2004
Kokai Jitsuyo Shinan Koho	1971-2004	Jitsuyo Shinan Toroku Koho	1996-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	EP 191476 A2 (KABUSHIKI KAISHA TOSHIBA), 20 August, 1986 (20.08.86), Full text; all drawings Full text; all drawings & JP 61-184843 A Full text; all drawings & US 4710794 A	1-10 11-15
X Y A	EP 1213748 A2 (SHARP KABUSHIKI KAISHA), 12 June, 2002 (12.06.02), Full text; all drawings Full text; all drawings Full text; all drawings & JP 2002-164521 A Full text; all drawings	1, 2, 5, 6, 8-11 4, 12-15 3, 7

☒ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
14 January, 2004 (14.01.04)Date of mailing of the international search report
27 January, 2004 (27.01.04)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/13514

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 9-135030 A (Hitachi, Ltd.), 20 May, 1997 (20.05.97), Full text; all drawings	12-15
Y	Full text; all drawings	4
A	Full text; all drawings (Family: none)	1-3, 5-11

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷ H01L21/76, H01L27/04-27/12

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷ H01L21/76, H01L27/04-27/12

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年

日本国公開実用新案公報 1971-2004年

日本国登録実用新案公報 1994-2004年

日本国実用新案登録公報 1996-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X Y	EP 191476 A2 (KABUSHIKI KAISHA TOSHIBA) 1986. 08. 20, 全文, 全図 全文, 全図 &JP 61-184843 A, 全文, 全図&US 4710794 A	1-10 11-15
X Y A	EP 1213748 A2 (SHARP KABUSHIKI KAISHA) 2002. 06. 12, 全文, 全図 全文, 全図 全文, 全図 &JP 2002-164521 A, 全文, 全図	1, 2, 5, 6, 8-11 4, 12-15 3, 7

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの

「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」 口頭による開示、使用、展示等に言及する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日

14. 01. 2004

国際調査報告の発送日

27. 1. 2004

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

綿引 隆

4M

2934

電話番号 03-3581-1101 内線 3460

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP 9-135030 A (株式会社日立製作所) 1997. 05. 20, 全文, 全図	12-15
Y	全文, 全図	4
A	全文, 全図 (ファミリーなし)	1-3, 5-11